

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-155968

(43)Date of publication of application : 05.09.1984

(51)Int.Cl.

H01L 29/78
G11C 11/40
H01L 27/10

(21)Application number : 58-030355

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.02.1983

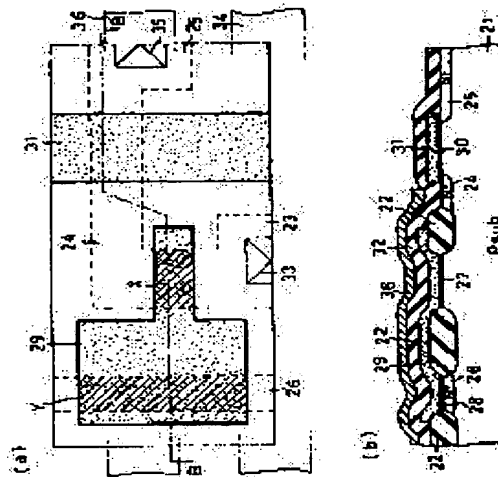
(72)Inventor : MIYAMOTO JUNICHI
IIZUKA TETSUYA

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To contrive to enhance the degree of integration of a semiconductor memory device by a method wherein the device is so constructed as to make a part of a floating gate to be positioned on a diffusion region for control interposing a thin insulating film between them.

CONSTITUTION: An N+ type source region 23, an N+ type drain region 24, an N+ type diffusion region 25 for a bit line, and an N+ type diffusion region 26 for control are formed on the element region of a P type Si substrate 21. A floating gate 29 is formed on a channel region between the regions 23, 24 thereof and on a part of the region 26 interposing respectively thin oxide films 27, 28 between them. Moreover, a select gate 31 is formed on a channel region between the region 24 and the region 25 interposing a gate oxide film 30 between them. According to this construction, because capacity between the region 25 and the gate 29 can be set large without increasing the area, the degree of integration can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—155968

⑬ Int. Cl.³
H 01 L 29/78
G 11 C 11/40
H 01 L 27/10

識別記号

1 0 1

庁内整理番号
7514—5F
6549—5B
6655—5F

⑭ 公開 昭和59年(1984)9月5日

発明の数 1
審査請求 有

(全 7 頁)

⑮ 半導体記憶装置

⑯ 特 願 昭58—30355
⑰ 出 願 昭58(1983)2月25日

⑱ 発 明 者 宮本順一
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑲ 発 明 者 飯塚哲哉

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑳ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 一導電型の半導体基板表面に互いに電気的に分離して形成された基板と逆導電型のソース領域、ドレイン領域、ビット線用拡散領域及びコントロール用拡散領域と、一端部が前記ソース、ドレイン領域間のチャネル領域上に、他端部が前記コントロール用拡散領域の一部上にそれぞれ薄い絶縁膜を介して形成されたフローティングゲートと、前記ドレイン領域及びビット線用拡散領域間のチャネル領域上に絶縁膜を介して形成されたセレクトゲートとを具備したことを特徴とする半導体記憶装置。

(2) 多数のセルに亘ってフローティングゲートを行うように絶縁膜を介して導電層パターンを形成し、複数のセル毎に該導電層パターンとコントロール用拡散領域とを接続したことを特徴とする特許請求の範囲第1項記載の半導体記

憶装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明は半導体記憶装置に関し、特に電気的消去可能 PROM (Electrically Erasable Programmable Read Only Memory、以下 E²PROM と略称する) のセル構造に係る。

[発明の技術的背景]

E²PROMセルについては従来から多数の提案がなされているが、このうちフローティングゲートに Fowler-Nordheim 電流 (以下トンネル電流と称する) を用いて書き込みあるいは消去を行なうものが知られている。

このした E²PROMセルは第1図の等価回路に示すようにコントロールゲート CG 及びフローティングゲート FG を有するトランジスタ (以下、フローティングゲート付きトランジスタと称する) Tr₁ とセレクトトランジスタ Tr₂ とから構成されている。

従来の E²PROMセルの構造の一例 (IEEE J. of

Solid - State Circuits, vol. SC - 17, 頁5, Oct. 1982, 821) を第2図(a)に示す平面図及び図(b)に示す断面図を参照して説明する。

図中1はP型シリコン基板であり、この基板1表面の図示しないフィールド酸化膜により分離された素子領域にはN⁺型ソース領域2、N⁺型ドレイン領域3及びビット線と接続されるN⁺型ビット線用拡散領域4が互いに電氣的に分離されて形成されている。前記ソース領域2とドレイン領域3間のチャネル領域上には極薄酸化膜(thin oxide)5を介して多結晶シリコンからなるフローティングゲート6が形成されている。このフローティングゲート6の両端部は図示しないフィールド酸化膜上に延出している。また、このフローティングゲート6を含む領域上には多結晶シリコンからなるフローティングゲート6の熱酸化により形成された多結晶シリコン酸化膜7を介してフローティングゲート6より寸法の大きいコントロールゲート8が形成されている。以上の各構成要素からフローティングゲ

ート付きトランジスタが構成されている。なお、前記極薄酸化膜5はトンネル電流が通過し易いようにその膜厚が設計されている。

また、前記ドレイン領域3とビット線用拡散領域4間のチャネル領域上には厚さ約700Åのゲート酸化膜9を介してセレクトゲート10が形成されている。以上の各構成要素からセレクトトランジスタが構成されている。

上述したE²PROMの動作原理は以下のようなものである。

すなわち、消去操作においてセレクトトランジスタをONさせ、ドレイン領域3を0Vとし、コントロールゲート8を高電圧(20V程度)にすると極薄酸化膜5を通過するトンネル電流によってフローティングゲート6に電子が蓄積され、フローティングゲート付きトランジスタのV_{TH}が上昇する。

一方、書き込み操作においてセレクトトランジスタをONさせ、それぞれドレイン領域3を高電圧、コントロールゲート8を0Vとするとフ

ローティングゲート6中の電子が極薄酸化膜5を通過してドレイン領域3へ流出し、フローティングゲート付きトランジスタのV_{TH}が低下する。

以上の2状態をそれぞれ論理“0”と“1”に対応させる。

上述した従来のE²PROMセルが機能を果たすための条件はフローティングゲート6の電圧(V_{FG})を計算することにより定まる。このV_{FG}は容量のカップリングによって定まるが、簡単には第3図に示すようにコントロールゲート8とフローティングゲート6間の容量C_T及びフローティングゲート6とチャネル間の容量C_{TO}を用いて表わすことができる。すなわち、Q_Fをフローティングゲート6内の電荷量とし、コントロールゲート8の電圧をV_G、チャネル領域の電圧をV_CとするとV_{FG}は

$$V_{FG} = \frac{C_T V_G + C_{TO} V_C}{C_T + C_{TO}} + \frac{Q_F}{C_T + C_{TO}} \quad (1)$$

となる。

ここで、Q_F = 0、V_C = 0の消去開始時においてV_{FG}は

$$V_{FG0} = \frac{C_T V_G}{C_T + C_{TO}} \quad (2)$$

また、V_C = 0のプログラム開始時においてV_{FG}は

$$V_{FG1} = \frac{C_{TO} V_C}{C_T + C_{TO}} + \frac{Q_F}{C_T + C_{TO}} \quad (3)$$

となる。

したがって、同一のV_CとV_GでV_{FG0}を高く、V_{FG1}を低くするためには

$$C_T > C_{TO} \quad (4)$$

が条件となり、通常C_T/C_{TO} = 2 ~ 3に設定される。

なお、V_C及びV_Gを低電圧に設定することができればセルサイズが縮小できるうえにLSIとしての信頼性及び歩留りが向上することはいまでもない。

一方、トンネル電流密度J_{TN}は電界Eを用いて以下のように表わすことができる。

$$J_{FN} = \frac{q^3 E^2}{8\pi h \phi_B} \exp \left(\frac{-4(2m)^{1/2} \phi_B^{3/4}}{3 h q E} \right) \quad (5)$$

(ここで、 q : 電荷、 h : プランク定数、 ϕ_B : バンドギャップ、 m : 質量である。)

上記⑤式より E が大きいほど J_{FN} が大きくなることがわかる。フローティングゲート6内に電荷が蓄積されるためには極薄酸化膜5を通過するトンネル電流 I_1 と多結晶シリコン酸化膜7を通過するトンネル電流 I_2 との間に $|I_1| > |I_2|$ という関係が成立することが条件であり、それぞれの電界を E_1 、 E_2 とすれば $|E_1| > |E_2|$ が必要条件となる。例えば、 $V_G = 0$ 、 $Q_F = 0$ の時は

$$\frac{E_1}{E_2} = \frac{d_2}{d_1} \cdot \frac{V_{FD} - 0}{V_G - V_{FD}} = \frac{d_2}{d_1} \cdot \frac{C_T}{C_{T0}} = 1 + \frac{A_T}{A_{T0}} > 1 \quad (6)$$

ここで、 A_{T0} は第2図(a)図示の斜線部、すなわち極薄酸化膜5上のフローティングゲート6の面積、 A_T はフローティングゲート6の斜線部以外の部分(コントロールゲート8と重なった部

あった。

また、従来の E^2 PROMセルにおいてフローティングゲート6と多結晶シリコン酸化膜7との界面には多結晶シリコンのグレイン等に対応する凹凸があり、それが電界集中を助長する傾向があるため、前記⑥式より明らかなようにトンネル電流に影響を及ぼす。すなわち、グレイン等のプロセス変動を受け易いファクタがセルの特性に影響を及ぼすため、信頼性や歩留り向上にとって望ましくないという欠点があった。

〔発明の目的〕

本発明は上記欠点を解消するためになされたものであり、同一設計ルールで集積度が高く、しかもプロセス変動を受け易いファクタを除去した信頼性の高い半導体記憶装置を提供しようとするものである。

〔発明の概要〕

本発明の半導体記憶装置は、半導体基板表面にソース領域、ドレイン領域及びビット線用拡散領域の他に、コントロールゲートと同一の役

分の面積に対応する。 $C = \epsilon A/d$ より、この条件は前記条件④に含まれる。

〔背景技術の問題点〕

ところで、第2図(a)及び(b)図示の従来の E^2 PROMセルにおいて極薄酸化膜5の膜厚は V_{FD} が20V程度で十分なトンネル電流を流すためには $d_1 = 100 \text{ \AA}$ 前後の値に設定される。一方、フローティングゲート6上の多結晶シリコン酸化膜7は膜質や多結晶シリコンと酸化膜との界面の影響により信頼性良く薄膜を形成することが困難なため、現状の技術では80.0 \AA 程度である。

したがって、例えば $C_T/C_{T0} \div 2.7$ に設定すれば、前記⑥式より $(A_{T0} + A_T)/A_{T0} \div 2.15$ となる。このため、2 μm ルールを用いてパターンレイアウトを行なった第4図から算出すると、極薄酸化膜5の面積 $A_{T0} = 2 \times 1.5 = 3 (\mu\text{m}^2)$ 、フローティングゲート6の面積 $A_{T0} + A_T = 3 \times 2.15 = 6.45 (\mu\text{m}^2)$ となり、1セル当たりでは272 μm^2 必要であり、集積度を上げることが困難で

制りを果たし、コントロールゲートの代わりとなるコントロール用拡散領域を設け、フローティングゲートの一部が薄い絶縁膜を介してこのコントロール用拡散領域上に位置するように構成したことを骨子とするものである。

このようにコントロールゲートの代わりとなるコントロール用拡散領域に薄い絶縁膜を介してフローティングゲートが形成されているので、このコントロール用拡散領域とフローティングゲートとの間の容量(C_T)は面積を増大させることなく大きく設定することができ、高集積化することができる。また、このコントロール用拡散領域とフローティングゲート間の薄い絶縁膜(例えば極薄酸化膜)は従来の E^2 PROMのように多結晶シリコンの酸化膜ではなく、単結晶シリコンの酸化膜であるので、プロセス変動を受けにくく、信頼性の高い E^2 PROMセルを実現することができる。

〔発明の実施例〕

以下、本発明の実施例を第5図(a)及び(b)を参

照して説明する。なお、第5図(a)は本発明に係るE²PROMセルの2μmルールによるパターンレイアウト図、同図(b)は同図(a)のB-B線に沿う断面図である。

図中21はP型シリコン基板であり、この基板21表面のフィールド酸化膜22によって囲まれた素子領域にはN⁺型ソース領域23、N⁺型ドレイン領域24、N⁺型ビット線用拡散領域25及びコントロールゲートの代わりとなるN⁺型コントロール用拡散領域26が互いに電気的に分離されて形成されている。なお、前記ビット線用拡散領域25とコントロール用拡散領域26はセル内において前記ドレイン領域24を中心として互いに反対側の位置に配置されており、前記コントロール用拡散領域26は多数のセルに延長して形成されている。前記ソース、ドレイン領域23、24間のチャネル領域上及びコントロール用拡散領域26の一部上にはそれぞれ極薄酸化膜27、28を介して多結晶シリコンからなるフローティングゲート29が形

成されている。また、前記ドレイン領域24とビット線用拡散領域25間のチャネル領域上にはゲート酸化膜30を介して前記コントロール用拡散領域26と平行な方向に延長するようにセレクトゲート31が形成されている。更に、全面にはCVD酸化膜32が堆積されており、このCVD酸化膜32上には前記コントロール用拡散領域26及びセレクトゲート31と直交する方向に延長するように、前記ソース領域23とコンタクトホール33を介して接続する共通電位線(AL配線)34及び前記ビット線用拡散領域25とコンタクトホール35を介して接続するビット線(AL配線)36が形成されている。なお、前記コンタクトホール33、35は第5図(a)図示のセルに隣接する他のセルにそれぞれ対称的に形成されたソース領域あるいはビット線用拡散領域について共通して使用される。

上記E²PROMセルにおいて、消去はコントロール用拡散領域26を高電位、ドレイン領域24を0Vとし、フローティングゲート29に電荷

を蓄積させることにより行なう。また、書き込みはコントロール用拡散領域26を0V、ドレイン領域24を高電位とし、フローティングゲート29からドレイン領域24へ電荷を流出させることにより行なう。セルが選択されていない場合はセレクトトランジスタがオフであるか又はコントロール用拡散領域26及びドレイン領域24の電位がフローティングゲート29との電荷移送に参与しないように、例えば両者とも高電位あるいは両者とも低電位等に設定される。

しかして、上記E²PROMセルによれば第5図(a)中のフローティングゲート29の斜線部X及びYが極薄酸化膜27、28の領域を示し、斜線部X及びYでの容量がそれぞれ第3図のC_{T0}及びC_{T1}に対応するので、極薄酸化膜27、28として全く同一膜厚の酸化膜を使用するとすれば膜質もほとんど同様と考えられ、C_{T1}/C_{T0}は斜線部X及びYの面積比で表現することができる。したがって、同一の設計ルール(2μmルール)

でレイアウトされた第4図と第5図(a)とを比較すると、 $C_{T1}/C_{T0} = (Yの面積)/(Xの面積) = 9.75/3 = 3.25$ であり、第4図図示の従来のものよりも大きいにもかかわらず、1セル当りの面積では従来の272μm²に対して、第5図(a)では149μm²となり約45%面積を低減することができる。この1セル当り149μm²という値は第4図のセレクトゲート10を第3層目の多結晶シリコンを用いて形成した場合とほぼ同程度であるが、本発明では第1層目の多結晶シリコンのみで製造されるので、工程が簡便で信頼性、再現性のより高いメモリセルを実現することができる。

また、コントロール用拡散領域26上の極薄酸化膜28は単結晶シリコンの酸化膜であるのでプロセス変動を受けにくく信頼性及び歩留りを向上することができる。

なお、本発明に係るE²PROMは第5図(a)に示す構造に限らず、第6図に示す構造でもよい。第6図のE²PROMは多数のセルに亘ってフローティ

ングゲート29を覆うように絶縁膜を介して第2層の多結晶シリコンパターン37を形成し、多結晶シリコンパターン37を複数のセル毎にコンタクトホール38を介してコントロール用拡散領域26と接続することにより、この多結晶シリコンパターン37を介してコントロール用拡散領域26に電圧を印加するようにしたのである。したがって、工学的には従来のものと同様であるが、多結晶シリコンパターン37を形成したことにより以下のような利点が生じる。

(i) コントロール用拡散領域26のシート抵抗値 ρ_s に対して多結晶シリコンパターン37の ρ_s は $1/2 \sim 1/3$ 程度であるのでRC遅延が小さく、コントロール用拡散領域26を高電圧に設定する消去操作に要する時間が短縮される。

(ii) 多結晶シリコンパターン37とフローティングゲート29間の容量をコントロール用拡散領域26とフローティングゲート29間の容量に付加することができるので、コントロール

用拡散領域26の幅Wを最小ディメンションで設計できる。これによりセル面積をより一層低下することができる。

(iii) フローティングゲート29が多結晶シリコンパターン37により保護されているので、信頼性をより向上することができる。

なお、上記実施例では極薄酸化膜を用いたが極薄酸化膜の代わりにシリコン基板の窒化膜あるいは窒素雰囲気下での酸化膜などを用いてもよいことは勿論である。

〔発明の効果〕

以上詳述した如く本発明によれば高集積度でしかも信頼性の高い半導体記憶装置を提供できるものである。

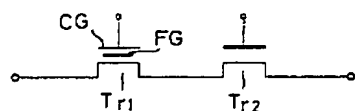
4. 図面の簡単な説明

第1図は E^2 PROMセルの等価回路図、第2図(a)は従来の E^2 PROMセルの平面図、同図(b)は同図(a)のB-B線に沿う断面図、第3図は従来の E^2 PROMセルが機能するための条件を求めるための説明図、第4図は従来の E^2 PROMセルの2 μm

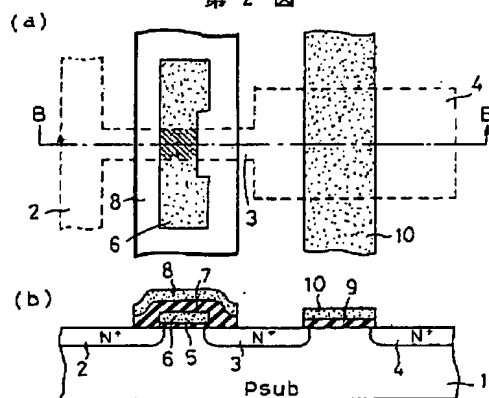
ルールによるパターンレイアウト図、第5図(a)は本発明の実施例における E^2 PROMセルの2 μm ルールによるパターンレイアウト図、同図(b)は同図(a)のB-B線に沿う断面図、第6図は本発明の他の実施例における E^2 PROMセルを一部省略して示す平面図である。

21…P型シリコン基板、22…フィールド酸化膜、23… N^+ 型ソース領域、24… N^+ 型ドレイン領域、25… N^+ 型ビット線用拡散領域、26… N^+ 型コントロール用拡散領域、27, 28…極薄酸化膜、29…フローティングゲート、30…ゲート酸化膜、31…セレクトゲート、32…CVD酸化膜、33, 35…コンタクトホール、34…共通電位線、36…ビット線、37…多結晶シリコンパターン、38…コンタクトホール。

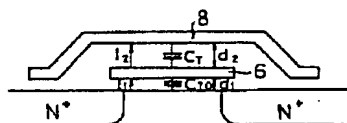
第 1 図



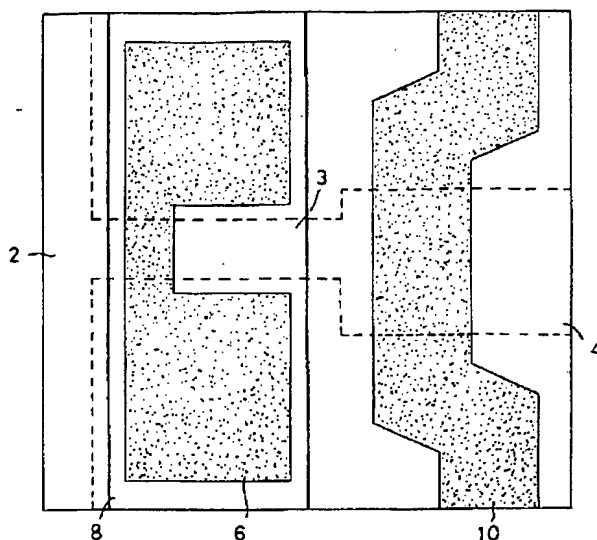
第 2 図



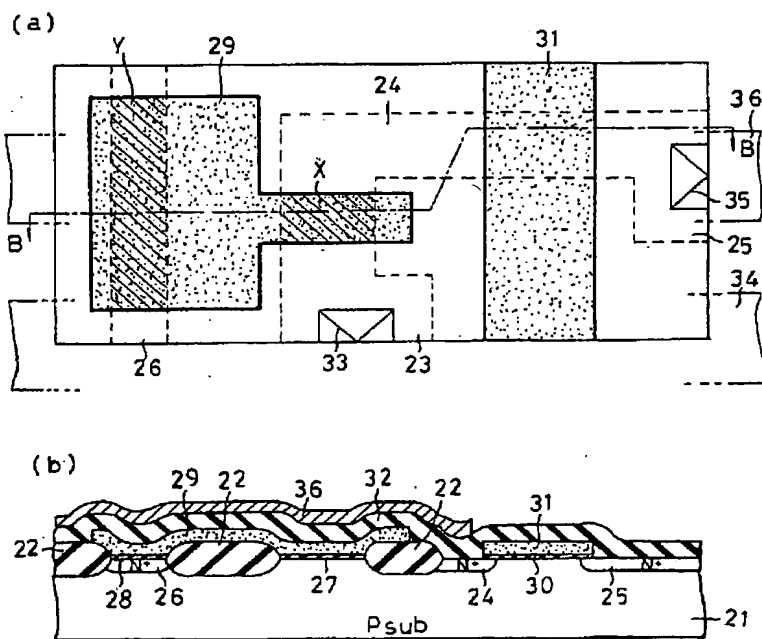
第 3 図



第 4 図



第 5 図



第 6 図

